

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-316729

(43)Date of publication of application : 26.11.1993

(51)Int.Cl.

H02M 3/28

(21)Application number : 04-124069

(71)Applicant : SONY CORP

(22)Date of filing : 17.04.1992

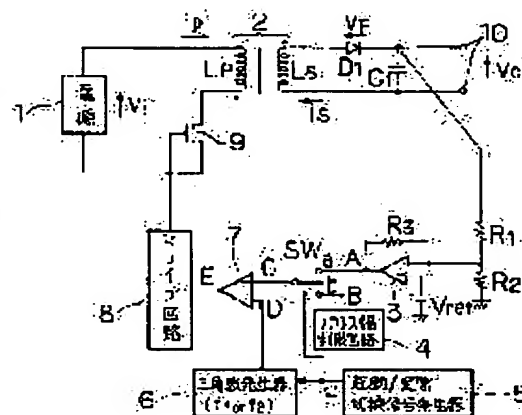
(72)Inventor : TAKAHAMA MASANOBU

(54) CONTROLLER FOR POWER SOURCE

(57)Abstract:

PURPOSE: To prevent saturation of a transformer at the time of starting a separately-excited flyback type switching power source.

CONSTITUTION: When an output of a start/steady switching signal generator 5 is an L level, a triangular wave generator 6 outputs a triangular wave having a low frequency f_1 to an inverting input terminal of a comparator 7. Further, a terminal (b) is selected at a switch SW, and a low voltage to be output from a pulse-width limiter 4 is input to a non-inverting input terminal of the comparator 7. Since the triangular wave to be input from the generator 6 to the inverting input terminal of the comparator 7 is extended at a lower part of its waveform (a low voltage part), a pulse having a small ratio of the pulse width to a period with the low frequency f_1 is supplied from its output terminal to an FET 9 through a driver 8, and the FET 9 is turned ON/OFF.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-316729

(43) 公開日 平成5年(1993)11月26日

(51) Int.Cl.⁵

H 0 2 M 3/28

識別記号

庁内整理番号

F I

技術表示箇所

H 8726-5H

P 8726-5H

審査請求 未請求 請求項の数 2 (全 11 頁)

(21) 出願番号 特願平4-124069

(22) 出願日 平成4年(1992)4月17日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 高濱 昌信

東京都品川区北品川6丁目7番35号 ソニ

ー株式会社内

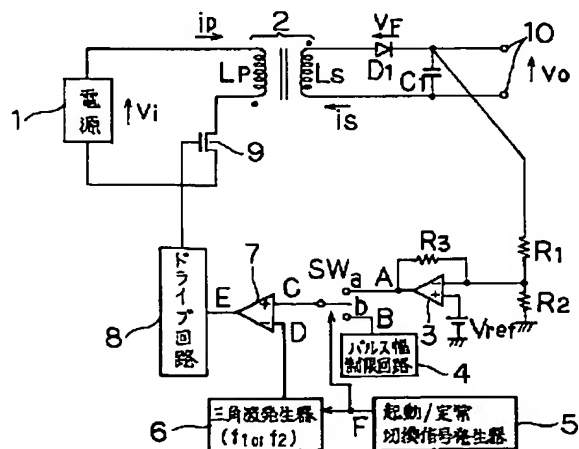
(74) 代理人 弁理士 稲本 義雄

(54) 【発明の名称】 電源制御装置

(57) 【要約】

【目的】 他励式フライバック型スイッチング電源の起動時におけるトランスの飽和を防止する。

【構成】 起動/定常切換信号発生器5の出力がLレベルの場合、三角波発生器6において、低周波数 f_1 の三角波がコンパレータ7の反転入力端子に出力されるとともに、スイッチSWにおいて、端子bが選択され、パルス幅制限回路4より出力される低い電圧がコンパレータ7の非反転入力端子に入力される。三角波発生器6よりコンパレータ7の反転入力端子に入力される三角波は、波形の下部分(電圧の低い部分)が広がっているので、コンパレータ7において、低周波数 f_1 で、周期に対するパルス幅の割合が小さいパルスが、その出力端子よりドライブ回路8を介してFET9に供給され、FET9がON/OFFされる。



【特許請求の範囲】

【請求項1】 他励式フライバック型スイッチング電源の1次側コイルに流れる電流をスイッチングするスイッチング素子に与えるパルスの周期を、起動時と定常時とで2段階に切り換えるパルス周期切換手段を備えることを特徴とする電源制御装置。

【請求項2】 前記起動時に、前記スイッチング素子に与える前記パルスの周期に対する前記パルスの幅の割合を制御するパルス幅制御手段をさらに備えることを特徴とする請求項1に記載の電源制御装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、他励式フライバック型スイッチング電源に用いて好適な電源制御装置に関する。

【0002】

【従来の技術】 図15は、従来の他励式フライバック型スイッチング電源の一例の構成を示すブロック図である。トランス2の1次側コイル L_1 は、スイッチ42を介して電源（直流電源） v_1 と並列に接続されている。スイッチ42は、制御回路42の出力するパルス（PWM波）に対応してON/OFFし、トランス2の1次側コイル L_1 に流れる電流 i_1 を制御（ON/OFF）す*

$$i_1 = (1/L_1) \int v_1 dt \\ = (v_1/L_1) t$$

にしたがった電流 i_1 が流れ、トランス2内（コイル L_1 内およびコイル L_s 内）に磁束が発生する。

【0007】 スwitch42がOFF状態になると、コイル L_1 には電流が流れなくなり、トランス2内に発生し※

$$i_s = - (1/L_s) \int (v_0 + v_r) dt \\ = - ((v_0 + v_r)/L_s) t$$

にしたがった電流 i_s が流れる。なお、電圧 v_r は、ダイオード D_1 における電圧降下、電圧 v_0 は、コンデンサ C_1 の両端の電圧である。

【0008】 従って、図16に示すように、スイッチ42がON状態のときは、トランス2の1次側コイル L_1 に、単位時間あたり v_1/L_1 ずつ増加する電流 i_1 が流れ、スイッチ42がOFF状態のときは、トランス2の2次側コイル L_s に、単位時間あたり $(v_0 + v_r)/L_s$ ずつ減少する電流 i_s が流れる。

【0009】 トランス2の2次側に流れる電流（リップ★

$$i_s = - (v_r/L_s) t$$

となる。電圧 v_r は、ダイオード D_1 における電圧降下分であるから、約0.7V前後であり、従って電流 i_s は、スイッチ42のOFF期間中にほとんど減少しない。

【0011】 よって、再びスイッチ42がON状態になると、コイル L_1 においては、電流 i_1 がコイル L_s を流れることによりトランス2内に発生していた磁束に対応する電流 i_1 が、コイル L_1 に電圧 v_1 がかかることにより

＊る。

【0003】 トランス2の2次側コイル L_s は、ダイオード D_1 を介して電流平滑用のコンデンサ C_1 と並列に接続されている。ダイオード D_1 は、トランス2の2次側コイル L_s に流れる電流 i_s を整流するためのダイオードで、そのアノードがトランス2の2次側コイル L_s の一端に接続され、そのカソードがコンデンサ C_1 の一端に接続されている。

【0004】 制御回路41は、ダイオード D_1 とコンデンサ C_1 との接続点の電圧 v_0 を監視し、この電圧 v_0 が所定の値 V になるように、スイッチ42をON/OFFするパルスの幅を変えて、スイッチ42に出力する。

【0005】 なお、この他励式フライバック型スイッチング電源においては、スイッチ42をON/OFFするパルスの周期は一定であり、従ってスイッチ42がON/OFF動作することにより電源にのるノイズ（スイッチングによるノイズ）の周波数も一定周波数だけになる。よって、容易にこのノイズを除去することができ、ノイズののっていない電圧（電流）を提供することができ

【0006】 このように構成される他励式フライバック型スイッチング電源では、スイッチ42がON状態のとき、コイル L_1 の両端に電圧 v_1 がかかり、

(1)

※た磁束が減少し始めるが、この磁束の変化（減少）に逆らうように、コイル L_s に電圧（逆起電力）が発生し、コイル $L_s \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コイル L_s の順番で、

(2)

★ル電流 i_s は、コンデンサ C_1 で平滑化されて、出力端子10に接続される装置に供給される。

【0010】

【発明が解決しようとする課題】 ところで、図15の他励式フライバック型スイッチング電源の起動直後においては、平滑用のコンデンサ C_1 にほとんど電荷がチャージされていないので、即ち、

$$v_0 \approx 0$$

であるから、スイッチ42がOFF状態のときコイル L_s を流れる電流 i_s は、式(2)より、

(3)

流れる電流に重畳された、大きな電流 i_1 が流れることになる。

【0012】 コンデンサ C_1 は平滑用のコンデンサであるから、その容量は大きく、従ってコンデンサ C_1 に電荷がチャージされるまでに時間がかかるので、この間に上述した動作が繰り返され（図17）、コイル L_1 に大電流 i_1 が流れてトランス2が飽和し、装置が破壊される課題があった。

3

【0013】そこで、コイル L_r のインダクタンスを大きくして、そこに流れる電流 i_r を制限し、トランス2の飽和を防止する方法がある。しかしながら、コイル L_r のインダクタンスを大きくするためには、コイル L_r を物理的に大きく構成しなければならず、装置が大型化する課題があった。

【0014】本発明は、このような状況に鑑みてなされたものであり、装置が破壊されることを防止するとともに、装置を小型に構成することができるようにするものである。

【0015】

【課題を解決するための手段】請求項1に記載の電源制御装置は、他励式フライバック型スイッチング電源の1次側コイル L_r に流れる電流をスイッチングする、例えば電界効果トランジスタ9などのスイッチング素子に与えるパルスの周期を起動時と定常時とで2段階に切り換えるパルス周期切換手段としての起動/定常切換信号発生器5（抵抗 R_{s1} 乃至 R_{s3} 、コンデンサ C_{s1} 、電源 V_s 、およびコンパレータ21、または抵抗 R_{41} 、抵抗 R_{42} 、電源 V_{1s} 、およびコンパレータ31）、三角波発生器6、並びにコンパレータ7を備えることを特徴とする。

【0016】この電源制御装置は、起動時に、電界効果トランジスタ9に与えるパルスの周期に対するパルスの幅の割合を制御するパルス幅制御手段としてのパルス幅制限回路4（抵抗 R_{21} およびコンデンサ C_{21} 、または電源 V_1 ）、スイッチSW、並びにコンパレータ7をさらに備えることができる。

【0017】

【作用】請求項1に記載の電源制御装置においては、他励式フライバック型スイッチング電源の1次側コイル L_r に流れる電流をスイッチングする電界効果トランジスタ9に与えるパルスの周期を起動時と定常時とで2段階に切り換える。従って、他励式フライバック型スイッチング電源を起動するときに、1次側コイル L_r に大電流が流れて装置が破壊されることが防止される。

【0018】起動時に、電界効果トランジスタ9に与えるパルスの周期に対するパルスの幅の割合を制御する場合においては、装置が破壊されることが防止される。

【0019】

【実施例】図1は、本発明の電源制御装置を応用した他励式フライバック型スイッチング電源の一実施例の構成を示すブロック図である。図15における場合と対応する部分については、同一の符号を付してある。電源1は、例えば図2に示すような、直流電源（図2（a））、交流電源12の出力をダイオード D_{11} 乃至 D_{14} からなるダイオードブリッジで全波整流してコンデンサ C_{12} で平滑するコンデンサインプット型電源（図2（b））、またはコンデンサインプット型電源の平滑用のコンデンサ C_{12} を取り去った力率改善型電源（図2

4

（c））などであり、トランス2の1次側コイル L_r と、電界効果トランジスタ（FET）9を介して並列に接続しており、直流電圧 v_1 を出力する。

【0020】図2（a）の直流電源においては、直流電源11とバイパス用のコンデンサ C_{11} が並列に接続されており、直流電源11にのっているノイズがコンデンサ C_{11} により除去されて出力されるようになっている。図2（b）のコンデンサインプット型電源においては、交流電源12の出力にのっているノイズがノイズフィルタ13で除去され、ノイズフィルタ13の出力が、ダイオード D_{11} 乃至 D_{14} からなるダイオードブリッジで全波整流され、コンデンサ C_{12} で平滑されて出力されるようになっている。図2（c）の力率改善型電源においては、その構成が図2（b）のコンデンサインプット型電源の平滑用のコンデンサ C_{12} を取り去ったものになっており、コンデンサインプット型電源と比べ、出力の力率が大きくなるようになっている。

【0021】なお、図2（b）または図2（c）に示すダイオードブリッジにおいては、ダイオード D_{11} のカソードとダイオード D_{12} のアノード、ダイオード D_{12} のカソードとダイオード D_{13} のカソード、ダイオード D_{13} のアノードとダイオード D_{14} のカソード、ダイオード D_{14} のアノードとダイオード D_{11} のアノードがそれぞれ接続されており、ダイオード D_{11} および D_{12} の接続点と、ダイオード D_{13} および D_{14} の接続点とに、ノイズフィルタ13を介して交流電源12の電圧が印加されており、全波整流した出力が、ダイオード D_{12} および D_{13} の接続点と、ダイオード D_{11} および D_{14} の接続点とから得られるようになっている。

【0022】FET9は、図15におけるスイッチ42に対応するもので、そのドレインがトランス2の1次側コイル L_r の一端に、そのソースが電源の一端にそれぞれ接続されており、そのゲートはドライブ回路8に接続されている。FET9は、ドライブ回路8よりそのゲートに供給されるドライブパルスに対応してON/OFFし、コイル L_r に流れる電流 i_r を制御（ON/OFF）する。

【0023】抵抗 R_1 および R_2 は直列に接続されており、抵抗 R_1 の、抵抗 R_2 と接続されていない方の一端は、ダイオード D_1 とコンデンサ C_1 との接続点に接続されている。抵抗 R_2 の、抵抗 R_1 と接続されていない方の一端はグラウンドに接続されている。従って、抵抗 R_1 と抵抗 R_2 からなる直列回路は、ダイオード D_1 とコンデンサ C_1 との接続点の電圧 v_0 を分圧する。

【0024】誤差増幅器3は、その反転入力端子が抵抗 R_1 と抵抗 R_2 との接続点に、その非反転入力端子が電源 V_{ref} を介してグラウンドに、それぞれ接続されている。抵抗 R_3 は、その一端が誤差増幅器3の反転入力端子に、他端が誤差増幅器3の出力端子に、それぞれ接続されており、誤差増幅器3の出力を負帰還する。従って、

5

誤差増幅器3および抵抗 R_3 からなる回路は、電圧 V_{r1} と、電圧 v_0 が抵抗 R_1 と抵抗 R_2 とで分圧された電圧との差を増幅する。

【0025】スイッチSWは、起動/定常切換信号発生器5に制御され、誤差増幅器3の出力端子と接続されている端子a、またはパルス幅制限回路4の出力端子と接続されている端子bのうちの一方を選択し、コンパレータ7の非反転入力端子に接続する。

【0026】起動/定常切換信号発生器5は、例えば図3に示すように抵抗 R_{31} 乃至 R_{33} 、コンデンサ C_{31} 、電源 V_1 、およびコンパレータ21から構成され、スイッチSWおよび三角波発生器6を制御する。抵抗 R_{31} および R_{32} は直列に接続されており、その接続点はコンパレータ21の反転入力端子に接続されている。抵抗 R_{33} とコンデンサ C_{31} は直列に接続されており、その接続点は、コンパレータ21の非反転入力端子に接続されている。抵抗 R_{31} の、抵抗 R_{32} と接続されていない方の一端、または抵抗 R_{33} の、コンデンサ C_{31} と接続されていない方の一端は、電源 V_1 の+端子にそれぞれ接続されている。抵抗 R_{32} の、抵抗 R_{31} と接続されていない方の一端、コンデンサ C_{31} の、抵抗 R_{33} と接続されていない方の一端、または電源 V_1 の-端子は、それぞれグランドに接続されている。

【0027】パルス幅制限回路4は、例えば図4に示すように、抵抗 R_{21} およびコンデンサ C_{21} より構成される。コンデンサ C_{21} の一端は、スイッチSWの端子bと接続されており、その他端はグランドと接続されている。抵抗 R_{21} の一端は、誤差増幅器3の出力端子と接続されており、その他端は、スイッチSWの端子bとコンデンサ C_{21} との接続点に接続されている。

【0028】三角波発生器6は、起動/定常切換信号発生器5に制御され、低周波数 f_1 の三角波、または高周波数 f_2 の三角波を発生(発振)し、コンパレータ7の反転入力端子に出力する。

【0029】コンパレータ7は、スイッチSWを介してその非反転入力端子に入力される、誤差増幅器3の出力、またはパルス幅制限回路4の出力と、その反転入力端子に入力される、三角波発生器6より出力される三角波とを比較し、その非反転入力端子に入力された信号電圧の方が、その反転入力端子に入力された信号(三角波)電圧より大きい場合、所定の正電圧(パルス)をドライブ回路8に出力する。

【0030】ドライブ回路8は、コンパレータ7より出力されるパルスに対応して、FET9のゲートにドライブパルスを供給する。

【0031】なお、電源 V_{r1} (図1)および電源 V_1 (図3)は、装置の動作開始とともに電圧を発生するようになっている。

【0032】次に、その動作について説明する。装置が起動されると、電源 V_{r1} (図1)および電源 V_1 (図

6

3)が電圧の発生を開始する。起動/定常切換信号発生器5(図3)において、電圧 V_1 が、抵抗 R_{31} と抵抗 R_{33} に印加される。抵抗 R_{31} に印加された電圧 V_1 は、抵抗 R_{31} と抵抗 R_{32} とで分圧され、コンパレータ21の反転入力端子に印加される。一方、コンパレータ21の非反転入力端子に印加される、抵抗 R_{33} とコンデンサ C_{31} の接続点の電圧は、コンデンサ C_{31} の遅延作用でゆっくりと上昇していく。

【0033】即ち、コンパレータ21の反転入力端子(点H)と非反転入力端子(点G)には、図5(a)に示す電圧が印加される。従って、コンパレータ21の出力は、装置を起動してから所定の時間 T_0 までLレベルで、その後、Hレベルになる(図5(b))。

【0034】起動/定常切換信号発生器5の出力がLレベルの場合(装置を起動してから時間 T_0 まで)(装置の起動時)、三角波発生器6において、低周波数 f_1 の三角波がコンパレータ7の反転入力端子に出力されるとともに、スイッチSWにおいて、端子bが選択される。また、起動/定常切換信号発生器5の出力がHレベルの場合、三角波発生器6において、高周波数 f_2 の三角波がコンパレータ7の反転入力端子に出力されるとともに、スイッチSWにおいて端子aが選択される。

【0035】一方、誤差増幅器3において、装置の起動直後に、その非反転入力端子に電圧 V_{r1} が印加される。装置の起動直後に誤差増幅器3の反転入力端子に印加される、電圧 v_0 が抵抗 R_1 と抵抗 R_2 とで分圧された電圧は、前述したようにコンデンサ C_1 に電荷がほとんどチャージされておらずほぼ0Vであるから、誤差増幅器3および抵抗 R_3 からなる回路において、電圧 V_{r1} が増幅されて、スイッチSWの端子a(点A)に出力される。

【0036】スイッチSWの端子aにおける電圧は、パルス幅制限回路(図4)の抵抗 R_{21} に印加され、この電圧は、抵抗 R_{21} とコンデンサ C_{21} とで分圧されてスイッチSWの端子b(点B)に出力される。なお、スイッチSWの端子b(点B)に出力される電圧は、コンデンサ C_{21} の遅延作用により、誤差増幅器3の出力電圧までゆっくりと上昇していく(図6)。

【0037】装置の起動直後においては、コンパレータ7の反転入力端子(点D)には、上述したように、三角波発生器6から出力された低周波数 f_1 の三角波(図7)が入力されており、その非反転入力端子(点C)には、スイッチSWで選択された端子bを介してパルス幅制限回路4より出力された、ゆっくりと上昇していく電圧(図6または図7)が印加されている。

【0038】従って、コンパレータ7の出力端子(点E)から、図8に示すような低周波数 f_1 で、周期に対するパルス幅の割合が徐々に大きくなるパルスがドライブ回路8に出力される。

【0039】ドライブ回路8において、コンパレータ7

7

より出力されたパルスに対応した、FET 9をドライブ (ON/OFF) するためのドライブパルスがFET 9のゲートに供給される。FET 9において、そのゲートに印加された、低周波数 f_1 で、周期に対するパルス幅の割合が徐々に大きくなるドライブパルス (図8) に対応して、そのドレインとソース間がON/OFFされる。

【0040】FET 9がON状態のとき、電源1により印加される電圧 v_1 がコイル L_1 の両端にかかり、式(1)にしたがった電流 i_1 が流れ、トランス2内(コイル L_1 内およびコイル L_2 内)に磁束が発生する。

【0041】FET 9がOFF状態になると、コイル L_1 には電流が流れなくなり、トランス2内に発生した磁束が減少し始めるが、この磁束の変化(減少)に逆らうように、コイル L_2 に電圧(逆起電力)が発生し、コイル $L_2 \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コイル L_1 の順番で、式(2)にしたがった電流 i_2 が流れる。

【0042】ここで、前述したように、装置の起動直後においては、電流平滑用のコンデンサ C_1 に電荷がほとんどチャージされていないので、FET 9がOFF状態のときコイル L_2 を流れる電流 i_2 は、式(2)における電圧 v_0 を0にした式(3)にしたがって流れるが、FET 9のゲートに供給されたドライブパルスは、低周波数 f_1 で、周期に対するパルス幅の割合が小さいので、FET 9のOFF期間が長く、従って、電流 i_2 は、このOFF期間中に充分減少する。

【0043】電流 i_2 が減少するとともに、この電流 i_2 がコイル L_2 を流れることによりトランス2(コイル L_2)内に発生していた磁束も減少する。再びFET 9がON状態になると、コイル L_1 においては、トランス2(コイル L_2)内に発生している、充分減少した磁束に対応する電流 i_1 が、コイル L_1 に電源1の電圧 v_1 がかかることにより流れる電流に重畳された、電流 i_1 が流れる。

【0044】以上の動作が装置を起動後、時間 T_0 まで繰り返され、コンデンサ C_1 に所定量の電荷がチャージされる。なお、時間 T_0 は、抵抗 R_{31} もしくは抵抗 R_{32} 、または抵抗 R_{33} もしくはコンデンサ C_{31} の値を変化させることにより変更することができ、コンデンサ C_1 の容量に対応して設定される。

【0045】装置の起動後、所定の時間 T_0 だけ経つと、起動/定常切換信号発生器5(図3)のコンデンサ C_{31} の電圧(点G)が、抵抗 R_{31} と抵抗 R_{32} との接続点の電圧(点H)を越え(図5(a))、コンパレータ21の出力、即ち起動/定常切換信号発生器5の出力がHレベルになる(図5(b))。

【0046】起動/定常切換信号発生器5の出力がHレベルになると、前述したように、三角波発生器6において、高周波数 f_2 の三角波(図7)がコンパレータ7の反転入力端子(点D)に出力されるとともに、スイッチ

8

SWにおいて、端子aが選択される。

【0047】誤差増幅器3および抵抗 R_3 からなる回路において、誤差増幅器3の反転入力端子に印加されている、装置の起動時にコンデンサ C_1 にチャージされた電荷に対応する電圧 v_0 が抵抗 R_1 と抵抗 R_2 とで分圧された電圧と、その非反転入力端子に印加されている電圧 V_{ref} との差分、即ち所定の基準電圧 V_{1ss} に対する電圧 v_0 の誤差(誤差電圧)(図7)が増幅され、スイッチSWの端子aを介してコンパレータ7の非反転入力端子(点C)に供給される。

【0048】一方、前述したように、三角波発生器6において、高周波数 f_2 の三角波(図7)がコンパレータ7の反転入力端子(点C)に出力されている。従って、起動/定常切換信号発生器5の出力がHレベルになると(装置が起動されてから時間 T_0 だけ経った後)、コンパレータ7において、その出力端子(点E)から、図8に示すような高周波数 f_2 のパルスがドライブ回路8に出力される。

【0049】ドライブ回路8において、コンパレータ7より出力されたパルスに対応した、FET 9をドライブ (ON/OFF) するためのドライブパルスがFET 9のゲートに供給される。FET 9において、そのゲートに印加された、高周波数 f_2 のドライブパルス(図8)に対応して、そのドレインとソース間がON/OFFされる。

【0050】FET 9がON状態のとき、電源1により印加される電圧 v_1 がコイル L_1 の両端にかかり、式(1)にしたがった電流 i_1 が流れ、トランス2内(コイル L_1 内およびコイル L_2 内)に磁束が発生する。

【0051】FET 9がOFF状態になると、コイル L_1 には電流が流れなくなり、トランス2内に発生した磁束が減少し始めるが、この磁束の変化(減少)に逆らうように、コイル L_2 に電圧(逆起電力)が発生し、コイル $L_2 \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コイル L_1 の順番で、式(2)にしたがった電流 i_2 が流れる。

【0052】以上のようにして、図16に示したような、FET 9がON状態のときは、トランス2の1次側コイル L_1 に、単位時間あたり v_1/L_1 ずつ増加する電流 i_1 が流れ、FET 9がOFF状態のときは、トランス2の2次側コイル L_2 に、単位時間あたり $(v_0 + v_r)/L_2$ ずつ減少する電流 i_2 が流れる。

【0053】トランス2の2次側に流れる電流(リップル電流) i_2 は、コンデンサ C_1 で平滑化されて、出力端子10に接続される装置に供給される。

【0054】なお、出力端子10に重い負荷(負荷の重い装置)が接続されている場合、その負荷に多くの電流が流れ、コンデンサ C_1 の両端の電圧 v_0 が降下する。すると、抵抗 R_1 を介して誤差増幅器3の反転入力端子に入力される電圧 v_0 に対応する電圧が降下するので、誤差増幅器3より、スイッチSWを介してコンパレータ7

の非反転入力端子（点C）に出力される電圧は高くなる。一方、三角波発生器6よりコンパレータ7の反転入力端子（点D）に出力される三角波は波形の上の部分（電圧の高い部分）が尖っているため、コンパレータ7において、高周波数 f_2 で、周期に対するパルス幅の割合が大きいパルスが、その出力端子よりドライブ回路8に出力される。ドライブ回路8において、コンパレータ7より出力されたパルスに対応した、FET9をドライブ（ON/OFF）するためのドライブパルスがFET9のゲートに供給され、FET9において、そのゲートに印加された、高周波数 f_2 で、周期に対するパルス幅の割合が大きいドライブパルスに対応して、そのドレインとソース間がON/OFFされる。

【0055】従って、電流 i_r がコイル L_r に流れている時間が多くなるので、コイル L_s に流れる電流 i_s が増加し、重い負荷が出力端子10に接続されることにより降下したコンデンサ C_1 の両端の電圧 v_o が上昇する。

【0056】また、出力端子10に軽い負荷（負荷の軽い装置）が接続されている場合、その負荷には、ほとんど電流が流れないので、コンデンサ C_1 の両端の電圧 v_o が上昇する。すると、抵抗 R_1 を介して誤差増幅器3の反転入力端子に入力される電圧 v_o に対応する電圧が上昇するので、誤差増幅器3より、スイッチSWを介してコンパレータ7の非反転入力端子（点C）に出力される電圧は低くなる。一方、三角波発生器6より、コンパレータ7の反転入力端子（点D）に出力される三角波は、波形の下の部分（電圧の低い部分）が広がっているため、コンパレータ7において、高周波数 f_2 で、周期に対するパルス幅の割合が小さいパルスが、その出力端子よりドライブ回路8に出力される。ドライブ回路8において、コンパレータ7より出力されたパルスに対応した、FET9をドライブ（ON/OFF）するためのドライブパルスが、FET9のゲートに供給され、FET9において、そのゲートに印加された、高周波数 f_2 で、周期に対するパルス幅の割合が小さいドライブパルスに対応して、そのドレインとソース間がON/OFFされる。

【0057】従って、電流 i_r がコイル L_r に流れている時間が短くなるので、コイル L_s に流れる電流 i_s が減少し、軽い負荷が出力端子10に接続されることにより上昇したコンデンサ C_1 の両端の電圧 v_o が降下する。

【0058】次に、図9は、本発明の電源制御装置を応用した他励式フライバック型スイッチング電源の第2実施例の構成を示すブロック図である。図1または図15における場合と対応する部分については、同一の符号を付してある。抵抗 R_{41} および R_{42} は直列に接続されており、抵抗 R_{41} の、抵抗 R_{42} と接続されていない方の一端は、抵抗 R_1 とコンデンサ C_1 との接続点に接続されている。抵抗 R_{42} の、抵抗 R_1 と接続されていない方の一端はグランドに接続されている。従って、抵抗 R_{41} と抵抗

R_{42} からなる直列回路は、コンデンサ C_1 の両端の電圧 v_o を分圧する。抵抗 R_{41} と抵抗 R_{42} との接続点は、コンパレータ31の非反転入力端子に接続されており、コンパレータ31の反転入力端子は、電源 V_{rH} を介してグランドに接続されている。

【0059】抵抗 R_{41} 、 R_{42} 、電源 V_{rH} 、およびコンパレータ31より構成される回路は、図1の起動/定常切換信号発生器5に対応するもので、コンパレータ31の出力がLレベルの場合（装置の起動時）、三角波発生器6において、低周波数 f_1 の三角波がコンパレータ7の反転入力端子に出力されるとともに、スイッチSWにおいて、端子bが選択される。また、コンパレータ31の出力がHレベルの場合、三角波発生器6において、高周波数 f_2 の三角波がコンパレータ7の反転入力端子に出力されるとともに、スイッチSWにおいて、端子aが選択される。

【0060】スイッチSWの端子bは、電源 V_i を介してグランドに接続されている。なお、電源 V_i は、図1のパルス幅制限回路4に対応するものである。

【0061】次に、その動作について説明する。装置の起動直後においては、前述したようにコンデンサ C_1 に電荷がほとんどチャージされておらず、電圧 v_o はほとんど0Vになっている。従って、その電圧 v_o が抵抗 R_{41} と抵抗 R_{42} とで分圧された電圧（図10）もほとんど0Vであり、コンパレータ31の非反転入力端子（点I）には、ほとんど0Vの電圧が印加される。一方、コンパレータ31の反転入力端子（点J）には、電圧（正の電圧） V_{rH} が印加されているので、その出力はLレベルになる（図14）。

【0062】よって、装置の起動直後においては、三角波発生器6において、低周波数 f_1 の三角波がコンパレータ7の反転入力端子に出力されるとともに、スイッチSWにおいて、端子bが選択される。

【0063】スイッチSWにおいて、端子b（点B）が選択されると、コンパレータ7の非反転入力端子（点C）には、電圧 V_i （図11または図12）が印加される。また、コンパレータ7の反転入力端子（点D）には、三角波発生器6から出力された低周波数 f_1 の三角波（図12）が入力されているので、そのコンパレータ7の出力端子（点E）から、図13に示すような低周波数 f_1 で、周期に対するパルス幅の割合が小さいパルスがドライブ回路8に出力される。

【0064】ドライブ回路8において、コンパレータ7より出力されたパルスに対応した、FET9をドライブ（ON/OFF）するためのドライブパルスがFET9のゲートに供給される。FET9において、そのゲートに印加された、低周波数 f_1 で、周期に対するパルス幅の割合が小さいドライブパルス（図13）に対応して、そのドレインとソース間がON/OFFされる。

【0065】FET9がON状態のとき、電源1により

印加される電圧 v_1 がコイル L_1 の両端にかかり、式(1)にしたがった電流 i_1 が流れ、トランス2内(コイル L_1 内およびコイル L_2 内)に磁束が発生する。

【0066】FET9がOFF状態になると、コイル L_1 には電流が流れなくなり、トランス2内に発生した磁束が減少し始めるが、この磁束の変化(減少)に逆らうように、コイル L_2 に電圧(逆起電力)が発生し、コイル $L_2 \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コイル L_1 の順番で、式(2)にしたがった電流 i_s が流れる。

【0067】ここで、前述したように、装置の起動直後においては、電流平滑用のコンデンサ C_1 に電荷がチャージされていないので、FET9がOFF状態のときコイル L_2 を流れる電流 i_s は、式(2)における v_0 を0にした式(3)にしたがって流れるが、FET9のゲートに供給されたドライブパルスは、低周波数 f_1 で、周期に対するパルス幅の割合が小さいので、FET9のOFF期間が長く、従って、電流 i_s は、このOFF期間中に充分減少する。

【0068】電流 i_s が減少するとともに、この電流 i_s がコイル L_2 を流れることによりトランス2(コイル L_2)内に発生していた磁束も減少する。再びFET9がON状態になると、コイル L_1 においては、トランス2(コイル L_2)内に発生している、充分減少した磁束に対応する電流 i_1 が、コイル L_1 に電源1の電圧 v_1 がかかることにより流れる電流に重畳された、電流 i_1 が流れる。

【0069】装置の起動後、以上の動作が繰り返され、コンデンサ C_1 に徐々に電荷がチャージされる。従って、コンデンサ C_1 の両端の電圧 v_0 が上昇し、抵抗 R_{11} と抵抗 R_{12} との接続点の電圧、即ちコンパレータ31の非反転入力端子(点I)に印加される電圧が、その反転入力端子(点J)に印加されている電圧 V_{ref} を越え(図10)、コンパレータ31の出力がHレベルになる(図14)。

【0070】コンパレータ31の出力がHレベルになると、三角波発生器6において、高周波数 f_2 の三角波(図12)がコンパレータ7の反転入力端子(点D)に出力されるとともに、スイッチSWにおいて、端子aが選択される。

【0071】ここで、スイッチSWの端子aにおける電圧、即ち誤差増幅器3の出力電圧は、図1における場合と同様に、電圧 V_{ref} と、コンデンサ C_1 にチャージされた電荷に対応する電圧 v_0 が抵抗 R_1 と抵抗 R_2 とで分圧された電圧との差分、即ち所定の基準電圧 V_{ref} に対する電圧 v_0 の誤差(誤差電圧)が増幅されたものである(図6または図11)。

【0072】従って、コンパレータ31の出力がHレベルになると、コンパレータ7の非反転入力端子には、スイッチSWを介して図11(図6)に示す誤差増幅器3の出力電圧が入力され、その反転入力端子には、高周波

数 f_2 の三角波(図12)が入力される。

【0073】すると、コンパレータ7において、図13に示す高周波数 f_2 で、周期に対するパルス幅の割合が大きいパルスがドライブ回路8に出力される。ドライブ回路8において、コンパレータ7より出力されたパルスに対応した、FET9をドライブ(ON/OFF)するためのドライブパルスがFET9のゲートに供給される。FET9において、そのゲートに印加された、高周波周波数 f_2 で、周期に対するパルス幅の割合が大きいドライブパルス(図13)に対応して、そのドレインとソース間がON/OFFされる。

【0074】FET9がON状態のとき、電源1により印加される電圧 v_1 がコイル L_1 の両端にかかり、式(1)にしたがった電流 i_1 が流れ、トランス2内(コイル L_1 内およびコイル L_2 内)に磁束が発生する。

【0075】FET9がOFF状態になると、コイル L_1 には電流が流れなくなり、トランス2内に発生した磁束が減少し始めるが、この磁束の変化(減少)に逆らうように、コイル L_2 に電圧(逆起電力)が発生し、コイル $L_2 \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コイル L_1 の順番で、式(2)にしたがった電流 i_s が流れる。

【0076】以上のようにして、図16に示したような、FET9がON状態のときは、トランス2の1次側コイル L_1 に、単位時間あたり v_1/L_1 ずつ増加する電流 i_1 が流れ、FET9がOFF状態のときは、トランス2の2次側コイル L_2 に、単位時間あたり $(v_0 + v_1)/L_2$ ずつ減少する電流 i_s が流れる。

【0077】トランス2の2次側に流れる電流(リップル電流) i_s は、コンデンサ C_1 で平滑化されて、出力端子10に接続される装置に供給される。

【0078】なお、出力端子10に接続される装置の負荷に対応して、電圧 v_0 が変化するのを一定値に制御する動作については、図1における場合と同様なので説明を省略する。

【0079】以上説明したように、他励式フライバック型スイッチング電源の1次側コイル L_1 に流れる電流をスイッチングする電界効果トランジスタ9に与えるパルスの周期および周期に対するパルスの幅の割合を起動時と定常時とで2段階に切り換えるようにしたので、他励式フライバック型スイッチング電源を起動するときに、1次側コイル L_1 に大電流が流れて装置が破壊されることが防止される。

【0080】

【発明の効果】請求項1に記載の電源制御装置によれば、他励式フライバック型スイッチング電源の1次側コイルに流れる電流をスイッチングするスイッチング素子に与えるパルスの周期を起動時と定常時とで2段階に切り換える。従って、他励式フライバック型スイッチング電源を起動するときに、その1次側コイルに大電流が流れて装置が破壊されることが防止される。

【0081】請求項2に記載の電源制御装置によれば、起動時に、スイッチング素子に与えるパルスの周期に対するパルスの幅の割合を制御するようにしたので、装置が破壊されることが防止される。

【図面の簡単な説明】

【図1】本発明の電源制御装置を応用した他励式フライバック型スイッチング電源の一実施例の構成を示すブロック図である。

【図2】図1の電源1のより詳細な構成を示す回路図である

【図3】図1の起動／定常切換信号発生器5のより詳細な回路図である。

【図4】図1のパルス幅制限回路4のより詳細な回路図である。

【図5】図3のコンパレータ21に入力される電圧と出力される電圧の波形図である。

【図6】図1のスイッチSWの端子aと端子bにおける電圧の波形図である。

【図7】図1のコンパレータ7に入力される電圧の波形図である。

【図8】図1のコンパレータ7より出力される電圧の波形図である。

【図9】本発明の電源制御装置を応用した他励式フライバック型スイッチング電源の第2実施例の構成を示すブロック図である。

【図10】図9のコンパレータ31に入力される電圧の波形図である。

【図11】図9のスイッチSWの端子aと端子bにおける電圧の波形図である。

【図12】図9のコンパレータ7に入力される電圧の波 30

形図である。

【図13】図9のコンパレータ7より出力される電圧の波形図である。

【図14】図9のコンパレータ31より出力される電圧の波形図である。

【図15】従来の他励式フライバック型スイッチング電源の一例の構成を示すブロック図である。

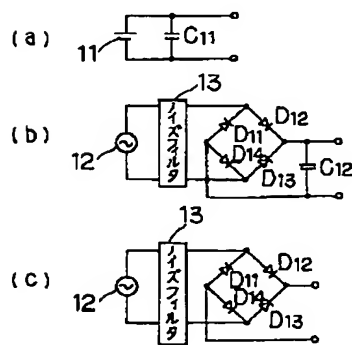
【図16】図1、図9、または図15の他励式フライバック型スイッチング電源の定常時において、コイルL₁とコイルL₂に流れる電流の波形図である。

【図17】図15の他励式フライバック型スイッチング電源の起動時において、コイルL₁とコイルL₂に流れる電流の波形図である。

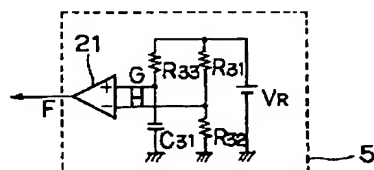
【符号の説明】

- 1 電源
- 2 トランス
- 3 誤差増幅器
- 4 パルス幅制限回路
- 5 起動／定常切換信号発生器
- 6 三角波発生器
- 7 コンパレータ
- 8 ドライブ回路
- 9 電界効果トランジスタ (FET)
- 11 直流電源
- 12 交流電源
- 13 ノイズフィルタ
- 21, 31 コンパレータ
- 41 制御回路
- 42 スイッチ

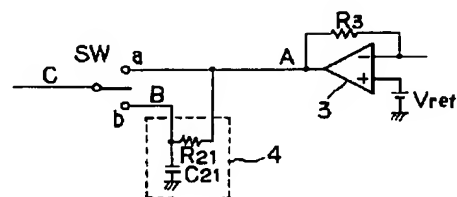
【図2】



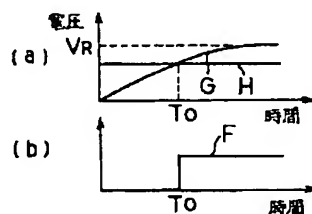
【図3】



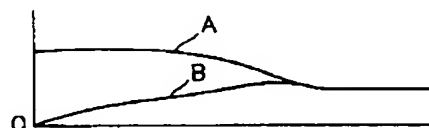
【図4】



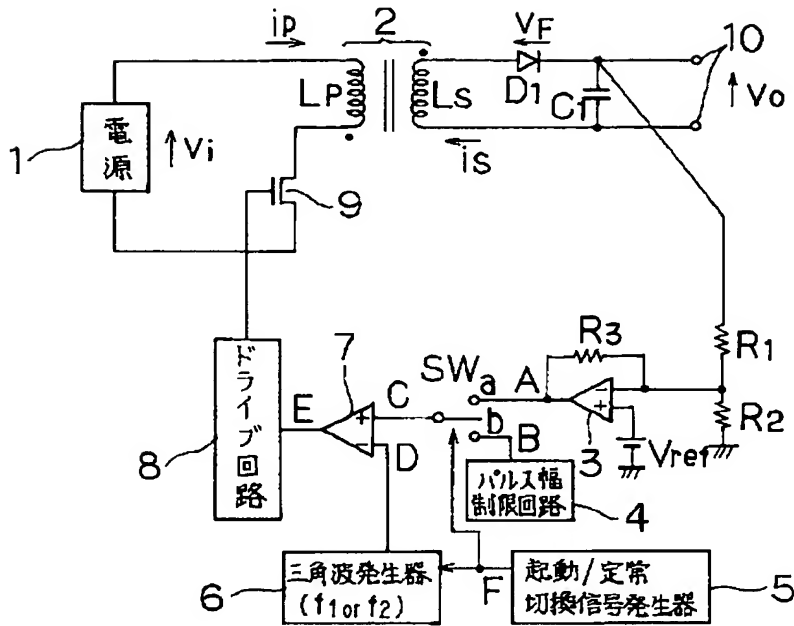
【図5】



【図6】

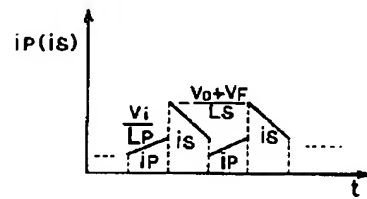


【図1】

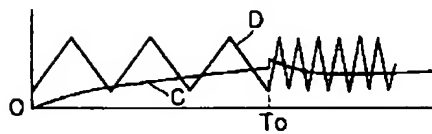


【図14】

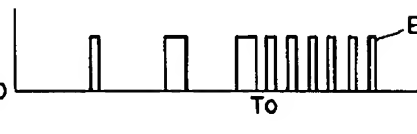
【図16】



【図7】

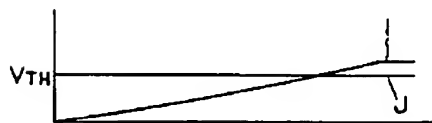


【図8】



【図11】

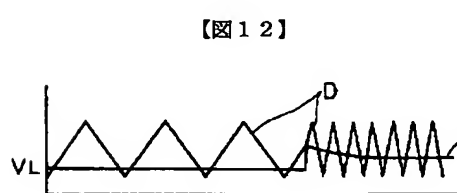
【図10】



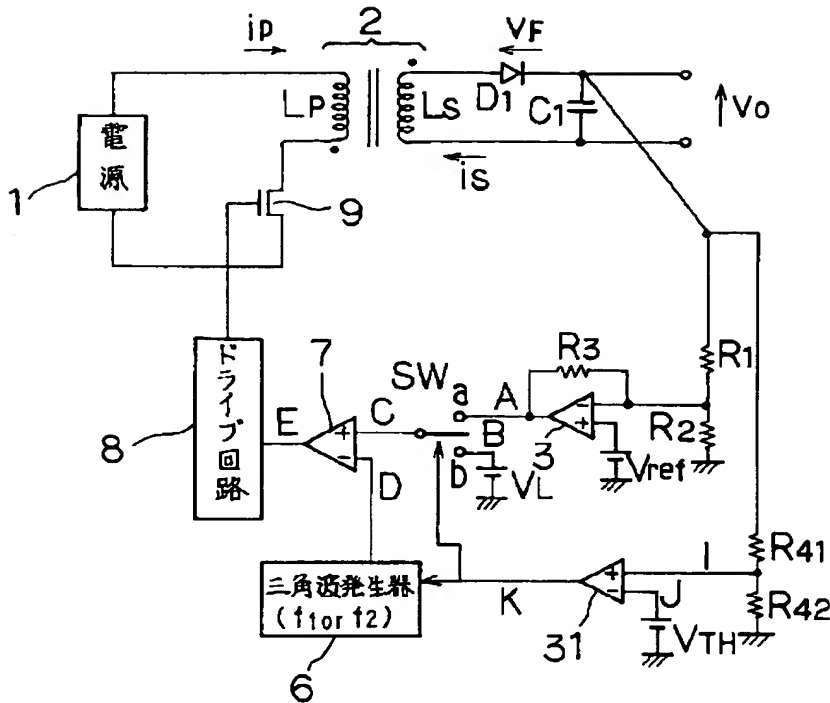
【図13】



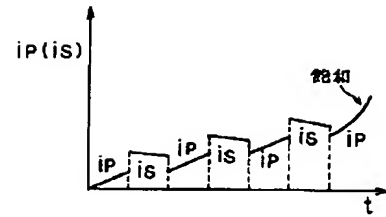
【図12】



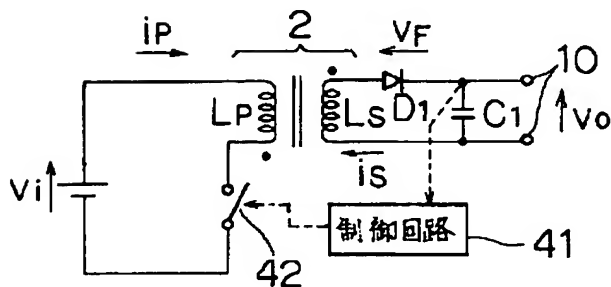
【図9】



【図17】



【図15】



【手続補正書】

【提出日】平成4年9月8日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0002

【補正方法】変更

【補正内容】

【0002】

【従来の技術】図15は、従来の他励式フライバック型スイッチング電源の一例の構成を示すブロック図であ

る。トランス2の1次側コイルL_pは、スイッチ42を介して電源（直流電源）V_iと並列に接続されている。スイッチ42は、制御回路41の出力するパルス（PWM波）に対応してON/OFFし、トランス2の1次側コイルL_pに流れる電流i_pを制御（ON/OFF）する。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0006

【補正方法】変更

【補正内容】

【0006】 このように構成される他励式フライバック*

$$\Delta i_r = d \left((1/L_r) \int v_i dt \right) / dt$$

$$= (v_i / L_r)$$

(1)

にしたがった電流 i_r が流れ、トランス2内（コイル L_r 、内およびコイル L_s 内）に磁束が発生する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

$$\Delta i_s = d \left(- (1/L_s) \int (v_o + v_r) dt \right) / dt$$

$$= - (v_o + v_r) / L_s$$

(2)

にしたがった電流 i_s が流れる。なお、電圧 v_r は、ダイオード D_1 における電圧降下、電圧 v_o は、コンデンサ C_1 の両端の電圧である。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0020

【補正方法】変更

【補正内容】

【0020】 図2(a)の直流電源においては、直流電源11とバイパス用のコンデンサ C_{11} が並列に接続されており、直流電源11にのっているノイズがコンデンサ C_{11} により除去されて出力されるようになっている。図2(b)のコンデンサインプット型電源においては、交流電源12の出力にのっているノイズがノイズフィルタ13で除去され、ノイズフィルタ13の出力が、ダイオード D_{11} 乃至 D_{14} からなるダイオードブリッジで全波整流され、コンデンサ C_{12} で平滑されて出力されるようになっている。図2(c)の力率改善型電源においては、その構成が図2(b)のコンデンサインプット型電源の平滑用のコンデンサ C_{12} を取り去ったものになっており、コンデンサインプット型電源と比べ、力率が大きくなるようになっている。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0043

【補正方法】変更

【補正内容】

【0043】 電流 i_s が減少するとともに、この電流 i_s がコイル L_s を流れることによりトランス2（コイル L_s ）内に発生していた磁束も減少する。再びFET9がON状態になると、コイル L_r においては、トランス2（コイル L_s ）内に発生している、充分減少した磁束に対応する電流 i が、コイル L_r に電源1の電圧 v_i が加かることにより流れる電流に重畳された、電流 i_r が流れる。この場合、重畳される電流は充分小さいため、電流 i_r がON/OFFを繰り返すことにより、それが

*ク型スイッチング電源では、スイッチ42がON状態のとき、コイル L_r の両端に電圧 v_i が加かり、コイル L_r に流れる電流の傾き Δi_r が

※【0007】 スwitch42がOFF状態になると、コイル L_r には電流が流れなくなり、トランス2内に発生した磁束が減少し始めるが、この磁束の変化（減少）に逆らうように、コイル L_s に電圧（逆起電力）が発生し、コイル $L_s \rightarrow$ ダイオード $D_1 \rightarrow$ コンデンサ $C_1 \rightarrow$ コイル L_s の順番で、コイル L_s に流れる電流の傾き Δi_s が

大電流となり、トランス2が飽和することはない。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0058

【補正方法】変更

【補正内容】

【0058】 次に、図9は、本発明の電源制御装置を応用した他励式フライバック型スイッチング電源の第2実施例の構成を示すブロック図である。図1または図15における場合と対応する部分については、同一の符号を付してある。抵抗 R_{41} および R_{42} は直列に接続されており、抵抗 R_{41} の、抵抗 R_{42} と接続されていない方の一端は、抵抗 R_1 とコンデンサ C_1 との接続点に接続されている。抵抗 R_{42} の、抵抗 R_{41} と接続されていない方の一端はグラウンドに接続されている。従って、抵抗 R_{41} と抵抗 R_{42} からなる直列回路は、コンデンサ C_1 の両端の電圧 v_o を分圧する。抵抗 R_{41} と抵抗 R_{42} との接続点は、コンバータ31の非反転入力端子に接続されており、コンバータ31の反転入力端子は、電源 V_{12} を介してグラウンドに接続されている。

【手続補正7】

【補正対象書類名】明細書

【補正対象項目名】0068

【補正方法】変更

【補正内容】

【0068】 電流 i_s が減少するとともに、この電流 i_s がコイル L_s を流れることによりトランス2（コイル L_s ）内に発生していた磁束も減少する。再びFET9がON状態になると、コイル L_r においては、トランス2（コイル L_s ）内に発生している、充分減少した磁束に対応する電流 i が、コイル L_r に電源1の電圧 v_i が加かることにより流れる電流に重畳された、電流 i_r が流れる。この場合、重畳される電流は充分小さいため、電流 i_r がON/OFFを繰り返すことにより、それが大電流となり、トランス2が飽和することはない。